

## MANUFACTURE OF CAPACITOR

Publication number: JP3016110

Publication date: 1991-01-24

Inventor: MIYAZAKI MASAHIRO; KARAIWA MASATO; OGA  
AKIHITO; MIYAZAKI TETSUYA

Applicant: MITSUI PETROCHEMICAL IND

Classification:

- international: **H01G4/12; H01G4/33; H01G4/12; H01G4/33; (IPC1-7):**  
**H01G4/12**

- European:

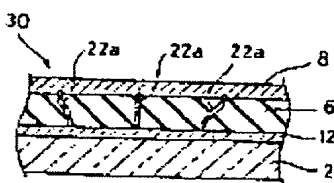
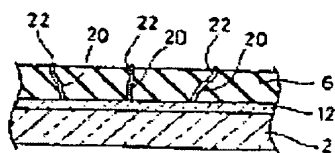
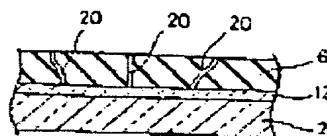
Application number: JP19890068979 19890320

Priority number(s): JP19890068979 19890320; JP19890054655 19890307

Report a data error here

### Abstract of JP3016110

**PURPOSE:**To keep the quality of a capacitor constant and improve its productivity by making a metal deposit itself into voids of pin holes, cracks, and the like which are formed in dielectric thin films with an electric plating process and after that, changing the above metal into insulating substances after oxidizing the metal. **CONSTITUTION:**After forming a dielectric thin film 6 on the surface of a lower electrode 12 that is formed on a substrate 2, an electric plating is performed by using the lower electrode 12 as the cathode for electric plating to cause metals 22 to deposit in voids 20 of pin holes, cracks, and the like which are formed on the dielectric thin film 6. After that, the metals 22 deposited in the voids 20 are insulated after being oxidized. Subsequently, an upper electrode 8 is formed on the surface of the dielectric thin film 6. Even through the upper electrode 8 is formed on the dielectric thin film 6 in this way, this thin film prevents the metals which make up the upper electrode 8 from entering into the voids 20 and then, insulation between upper and lower electrodes 8 and 12 is maintained favorably and the quality of a capacitor is kept constant.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

## (12) 特 許 公 報 (B 2)

(11) 特許番号

第2693562号

(45) 発行日 平成9年(1997)12月24日

(24) 登録日 平成9年(1997)9月5日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G 4/12	4 3 0		H 0 1 G 4/12	4 3 0
4/33			4/06	1 0 2

請求項の数 1 (全 5 頁)

(21) 出願番号	特願平1-68979	(73) 特許権者	999999999 三井石油化学工業株式会社 東京都千代田区霞が関3丁目2番5号
(22) 出願日	平成1年(1989)3月20日	(72) 発明者	宮崎 正裕 千葉県市原市千種海岸3番地 三井石油 化学工業株式会社内
(65) 公開番号	特開平3-16110	(72) 発明者	唐岩 正人 千葉県市原市千種海岸3番地 三井石油 化学工業株式会社内
(43) 公開日	平成3年(1991)1月24日	(72) 発明者	大賀 昭仁 千葉県市原市千種海岸3番地 三井石油 化学工業株式会社内
(31) 優先権主張番号	特願平1-54655	(72) 発明者	宮崎 哲也 千葉県市原市千種海岸3番地 三井石油 化学工業株式会社内
(32) 優先日	平1(1989)3月7日	(74) 代理人	弁理士 鈴木 俊一郎
(33) 優先権主張国	日本 (J P)	審査官	山崎 慎一

(54) 【発明の名称】 コンデンサの製造方法

1

(57) 【特許請求の範囲】

【請求項1】基板上に形成された下部電極もしくは電極基板と上部電極との間に誘電体薄膜が形成されているコンデンサを製造する方法において、

前記基板上に形成された下部電極表面もしくは電極基板表面に、誘電体薄膜を形成した後、前記下部電極を電気メッキ用陰極として用いて電気メッキを行ない、誘電体薄膜に形成されたピンホールおよびクラック等の空隙部に金属を析出させ、その後、空隙部に析出させた金属を酸化絶縁化し、

次いで、この誘電体薄膜の表面に上部電極を形成することを特徴とするコンデンサの製造方法。

【発明の詳細な説明】

発明の技術分野

本発明は、誘電体薄膜のピンホールおよびクラック等

2

の空隙部による電極間のショートを防止するようにしたコンデンサの製造方法に関する。

発明の技術的背景ならびにその問題点

一般に、コンデンサは、電極間に誘電体層が形成され、この電極間に電荷が貯えられるようになっている。従来このコンデンサとして膜厚20 $\mu$ m以上の誘電体層を積層した積層コンデンサが知られている。

また、コンデンサの誘電体層を薄膜化して容量を大きくする試みが提案されているが、そのようなコンデンサ10にあつては、これを製造する場合に、次のようにして行なう必要があるため、後述するような不都合を有している。

たとえば、第6図に示すような薄膜型のコンデンサ10を製造するには、基板2上に、まず膜状の下部電極4を蒸着等の手段で形成する。その後、この下部電極4の表

面に誘電体薄膜 6 をたとえばゾルーゲル法で形成する。しかしながら、誘電体薄膜 6 に何らピンホールやクラック等の空隙部を形成しないで誘電体薄膜 6 を下部電極 4 上に成膜することは困難である。

ところが、誘電体薄膜 6 にこのような空隙部が存在する状態で上部電極 8 を蒸着等の手段で成膜すると、上部電極 8 を構成する金属が上記空隙部に入り込み、上部電極 8 と下部電極 4 とを電気的にショートさせる虞があった。

#### 発明の目的

本発明は、このような従来技術が有する不都合を解消するためになされたものであり、たとえ誘電体薄膜の成膜時にピンホールやクラック等の空隙部が発生したとしても、この空隙部によって両電極が電気的にショートするのを防止し、一定の品質のコンデンサを生産性良く製造することが可能なコンデンサの製造方法を提供することを目的としている。

#### 発明の概要

このような目的を達成するために、本発明は、基板上に形成された下部電極と上部電極との間に誘電体薄膜が形成されているコンデンサを製造する方法において、

前記基板上に形成された下部電極表面に、誘電体薄膜を形成した後、前記下部電極を電気メッキ用陰極として用いて電気メッキを行ない、誘電体薄膜に形成されたピンホールおよびクラック等の空隙部に金属を析出させ、その後、空隙部に析出させた金属を酸化絶縁化し、

次いで、この誘電体薄膜の表面に上部電極を形成することを特徴としている。

このような本発明に係るコンデンサの製造方法によれば、誘電体薄膜に形成されたピンホールやクラック等の空隙部に、電気メッキ法を用いて金属を析出させ、その後、この金属を酸化させて絶縁物質に変化させてあるため、その後上部電極を誘電体薄膜上に形成したとしても、上部電極を構成する金属が上記空隙部に入り込むことがなくなる。したがって、上部電極と下部電極との絶縁性は良好に保持され、得られるコンデンサの品質は一定なものとなる。

なお、本発明におけるコンデンサはいかなる種類のものでもよいが、たとえば薄膜コンデンサ、セラミックコンデンサ、メモリ用キャパシタなどが例示できる。

#### 発明の具体的説明

以下、本発明に係るコンデンサの製造方法について具体的に説明する。

第 1 ～ 3 図は本発明に係るコンデンサの製造過程を示す断面図、第 4 図は本発明の他の実施例に係る製造方法で得られたコンデンサの断面図である。

第 1 図に示すように、本発明に係るコンデンサの製造方法では、まず基板 2 上に下部電極 12 を形成する。その後、この下部電極 12 上に、誘電体薄膜 6 を形成する。

基板 2 は、誘電体薄膜 6 を焼成する際の温度に耐え得

る耐熱性材料で構成されることが好ましく、たとえば表面がケイ素で構成された部材が用いられ、具体的には、シリコンウェーハ等が用いられる。シリコンウェーハとしては、ノンドープ型、P 型もしくは N 型等あらゆるタイプの市販品をそのまま使うことが可能であり、表面エッチング等の表面処理を行なう必要はない。表面処理を行なうことなく、平坦性が保持されているからである。なお、基板 2 の表面の平坦性が要求されるのは、その上に形成されるコンデンサ 30 の平坦性を保持するためである。基板 2 の厚さは、コンデンサ全体に適度な剛性を付与するに十分な厚さを有する必要があるが、0.2mm 以上、特に 0.2 ～ 1mm であることが好ましい。

なお、基板は、必ずしも平板形状に限定されず、円筒形状もしくは円柱形状であっても良い。基板が円筒形状もしくは円柱形状等である場合には、その上に形成される電極および誘電体薄膜も、基板形状に沿った形状となる。

下部電極 12 は、Pt 等の単一金属から成る単一層であっても良いが、好ましくは複数の金属層から成る。たとえば下部電極 12 としては、第 4 図に示すように、基板 2 表面を酸化することにより形成されるケイ素酸化物（ただし、ケイ素酸化物中のケイ素の価数は問わない）から成るケイ素酸化物層（以下、「SiO 層」と称す）14 上に順次積層された、クロムから成るクロム層（以下、「Cr 層」と称す）16 と、白金からなる白金層（以下、「Pt 層」と称す）18 とから成ることが好ましい。

SiO 層 14 は、下部電極 12 と基板 2 との緩衝層であり、この SiO 層 14 の厚さは、100 Å 以上が良く、好ましくは 100 ～ 5000 Å、さらに好ましくは 500 ～ 1000 Å である。この SiO 層があまりに薄過ぎると、SiO 層のピンホールを通して、金属層と Si とが反応し、好ましくない。また、Cr 層 16 の厚さは、50 ～ 1000 Å、好ましくは 50 ～ 500 Å である。Cr 層 16 は、SiO 層と Pt との密着層であり、あまり厚過ぎると、誘電体膜を熱処理する際に Pt 層表面上に Cr が拡散し、酸化 Cr を形成する等の理由からコンデンサの特性が低下するので好ましくない。

さらに、Pt 層 18 の厚さは、1000 Å 以上が好ましく、さらに好ましくは 1000 ～ 20000 Å である。Pt 層 18 があまりに薄いと、誘電損失が増大し、コンデンサの特性が低下するので好ましくない。各層 14, 16, 18 の厚さを上述のような範囲にすることによって、後に続く熱処理を行なっても電極 12 の抵抗値の増大が防げ、電極 12 におけるクラックや剥離等を防止することができる。

電極 12 を基板 2 上に形成するには、たとえば次のようにして行なう。

まず、基板 2 を必要に応じて洗浄し、表面に付着しているゴミ等を取り除く。その後、酸素又は酸素含有ガス（例えば空気）雰囲気下で基板 2 を 1000 ～ 1200℃ の温度で 30 ～ 120 分間熱処理し、基板 2 の表面にケイ素酸化物（価数は問わないが、主として SiO<sub>2</sub> から成っている）か

ら成るSiO層14を形成する。このSiO層14は、スパッタ法、蒸着法等の手段でも形成することは可能である。次に、このSiO層14の表面に、スパッタ法、蒸着法、メッキ法などの成膜手段により、所定厚さのCr層16を形成する。このCr層は、具体的にはターゲットとしてCrを用い、系内の酸素を追出した後、系内をアルゴンなどの不活性雰囲気として、スパッタ法により成膜することが好ましい。また原料としてCrを用い、不活性雰囲気下で蒸着法によって成膜してもよい。以下、同様に、Pt層18を形成する。なお、成膜手段として、スパッタ法や蒸着法を採用する場合には、Cr層16とPt層18とは連続して形成されることが望ましい。これらのCr層16の酸化を防止するためである。

次に誘電体薄膜6について説明する。

誘電体薄膜6としては、チタン酸バリウム、酸化アルミニウム、酸化タンタル、チタン酸鉛、酸化ジルコニウム・チタン酸鉛 (PZT)、チタン酸ストロンチウム等の誘電体薄膜が用いられ得る。このような誘電体薄膜6を下部電極12表面に形成するための手段としては、ゾルゲル法、スパッタ法、蒸着法等が用いられる。誘電体薄膜の厚さは、目的とする静電容量によって異なるが、本

発明では好ましい誘電体薄膜の厚さは200Å～50μmである。

誘電体薄膜6を下部電極12上に成膜する際には、この誘電体薄膜6にクラックやピンホール等の空隙部20が生じることがある。

本発明では、空隙部20が生じた誘電体薄膜6を有する基板2を、メッキ液中に浸漬し、下部電極12を陰極とし、空隙部20に析出させるための金属から成る金属板を陽極とし、電気メッキを行なう。空隙部20に析出させるための金属としては、後行程で酸化され易い材質が好ましく、特にNi、Cr等が好ましく用いられ得る。メッキに際して、印加する電圧は、空隙部20に金属を析出させ得る電圧であればよく、金属の種類とメッキ液の条件によって異なる。

下部電極12を陰極として電気メッキを行なうと、第2図に示すように、空隙部20に金属22が析出する。したがって、誘電体薄膜6中の空隙部20は、全て金属22で埋められることになる。

その後、基板2上の誘電体薄膜6を酸化絶縁処理、たとえば基板2上の誘電体薄膜を酸素雰囲気中で熱処理すれば、金属22は、第3図に示す金属酸化物22aとなり、絶縁性を有することになる。熱処理のための温度や時間等は、使用される金属22の種類によって異なっている。たとえば金属22としてNiを用いた場合には、熱処理温度は500～1100℃が好ましく、熱処理時間は30～120分が好ましい。

その後、第3図に示すように、誘電体薄膜6上に上部電極8を形成すれば、コンデンサ30が完成する。

上部電極8としては、Ag、Cu、Au、Al、Pt、Pd等の電極が用いられ得る。この上部電極8を誘電体薄膜6表面に形成するための手段としては、スパッタ法、蒸着法、ペースト塗布等が用いられる。上部電極8の厚さは、1000Å以上であることが好ましく、特に1000Å～100μmが好ましい。

なお、本発明によれば、前述したように、下部電極12の構造は、単層であっても良く、複層であっても良い。第3図に示すコンデンサ30は、単層構造の下部電極12を用いたものを示し、第4図に示すコンデンサ30aは複層構造の下部電極12を用いたものを示す。

以上基板上に下部電極を形成した場合について説明したが、金属基板を下部電極として使う場合、あるいは低抵抗Si基板を下部電極として使う場合も本発明は有効である。

発明の効果

以上説明してきたように、このような本発明に係るコンデンサの製造方法によれば、誘電体薄膜に形成されたピンホールやクラック等の空隙部に、電気メッキ法を用いて金属を析出させ、その後、この金属を酸化させて絶縁物質に変化させてあるため、その後上部電極を誘電体薄膜上に形成したとしても、上部電極を構成する金属が上記空隙部に入り込むことがなくなる。したがって、上部電極と下部電極との絶縁性は良好に保持され、得られるコンデンサの品質は一定なものとなり、コンデンサの生産性が向上する。

以下、本発明をさらに具体的な実施例に基づき説明するが、本発明はこれら実施例に限定されるものではない。

実施例

[基板、下部電極の形成]

市販のシリコンウェーハ (P型、比抵抗10Ωcm、厚さ0.4mm) を基板として用い、この表面を酸化させて、SiO層を形成した。酸化は、赤外線イメージ炉にて酸素を0.2ℓ/分導入しつつ、1000℃で3時間基板を熱処理することにより行なった。次に、これをトリクレン中にて超音波洗浄した。

この基板上に、通常の高周波マグネトロンスパッタ法にて、Cr、Ptの順に膜を形成した。条件を以下に示す。

①クロム膜 (Cr層)

チャンバー内を $1.0 \times 10^{-5}$  torr以下の圧力に真空排気した後、アルゴンを $1.0 \times 10^{-3}$  torr導入し、次に、メインバルブをしぼって、系内を $5.0 \times 10^{-3}$  torrとした。ターゲットとして99.9%のクロム (Cr) を用い、高周波出力100Wでプレスパッタを10分間行なった後、シャッターを20秒間開けてSiO膜上にクロム膜を形成した。膜厚は約150Åであった。

②白金膜 (Pt層)

次に、ターゲットには99.9%の白金を使用し、圧力 $5 \times 10^{-3}$  torr、出力200Wでプレスパッタを10分間行なった

後、シャッターを6分間開けて、白金膜を約6000Å形成した。

特に、形成したCr層の酸化を防ぐために、①、②工程は連続工程とした。この工程を経て、シリコンウェーハ基板上にSiO層、Cr層(150Å)、Pt層(6000Å)がこの順序で形成された。

#### 【誘電体薄膜の形成】

チタンイソプロポキシドとバリウムイソプロポキシドとをTi/Ba(原子比)が4.5になるようにそれぞれ28.42g、5.68gを秤量し、これらを溶媒としてのメトキシエタノール30ml、エタノール80mlの混合液に加えた。次に得られた混合物を、オイルバスを用いてバス温度を150℃に保って還流させることにより均一な溶液をつくった。

室温に戻しても、この溶液は容易にはゲル化しない。この均一溶液をディッピング法により上記の電極上に塗布し、誘電体薄膜を形成した。この薄膜中には有機物が含まれる。

次にこの下部電極および誘電体薄膜をつけたシリコンウェーハを1200℃で下記の条件で熱処理することにより誘電体膜中の有機物を飛散させ、かつBa<sub>2</sub>Ti<sub>9</sub>O<sub>20</sub>の結晶相を生じさせた。

この1回のディッピング、熱処理の操作で厚さ500Åの誘電体薄膜が形成される。

この操作を8回繰り返すことで0.4μmの厚さのBa<sub>2</sub>Ti<sub>9</sub>O<sub>20</sub>の結晶相を有する誘電体薄膜を得た。

熱処理条件を次に記す。

#### 【熱処理条件】

熱処理は赤外線イメージ炉またはボックス炉にて行ない、赤外線イメージ炉では5℃/secで1200℃まで昇温した後、30分間その温度を保持し、その後5℃/secで降温した。この間、酸素のみ0.2ℓ/分供給した。ディッピングとこの熱処理を8回繰り返した。ボックス炉では、70℃/時間で1200℃まで昇温した後、5時間この温度を保持し、70℃/時間で常温に戻した。この間酸素のみ0.2ℓ/分供給した。この操作を8回繰り返した。

\*

#### \*【電気メッキ】

メッキ液としては公知の硫酸浴を用いた。すなわち硫酸ニッケル150g、塩化アンモニウム15g、ほう酸15gを1ℓの水に溶解させた。

この液の50℃での電圧-電流密度特性は第5図のようであった。この液を50℃に加熱した中に陽極としてNi板、陰極にサンプルの下部電極を接続し2Vの電圧を印加して15秒間通電した。その後サンプルを酸素雰囲気中で70℃、90分間熱処理した。この後Auをマスクを用いた簡易スパッタで大きさ4mm平方、厚さ3000Å成膜して20個の上部電極を形成した。ショートの有無を40MΩレンジのテストでチェックしたが20個ともショートしなかった。一方誘電特性を測定すると誘電率、誘電損失ともに100kHzでそれぞれ11nF、0.3%であり、メッキおよびその後の熱処理を行なわなかったものと較べて変わらなかった。次に光学顕微鏡で観察したところ表面に平均2μm径の酸化Niと思われる析出物が1mm<sup>2</sup>あたり600個ほど認められた。これは電極面積に占める割合に換算すると約0.2%であるため、特性には影響しなかったと考えられる。印加する電圧は金属が析出するに足る電圧であればよく、本実施例では第5図から明らかなように、1.5V以上であればよい。また電圧の印加方法としては、直流でもよいし、パルスでもよい。

#### 【図面の簡単な説明】

第1～3図は本発明に係るコンデンサの製造過程を示す断面図、第4図は本発明の他の実施例に係る製造方法で得られたコンデンサの断面図、第5図は本発明の一実施例に係る方法で用いるメッキ液の電圧-電流密度特性を示すグラフ、第6図は従来例に係るコンデンサの概略図である。

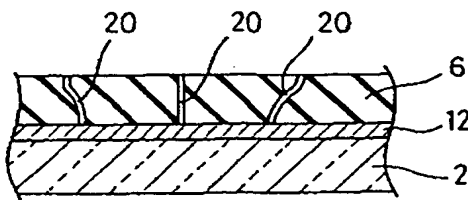
2……基板、4, 12……下部電極

6……誘電体薄膜、8……上部電極

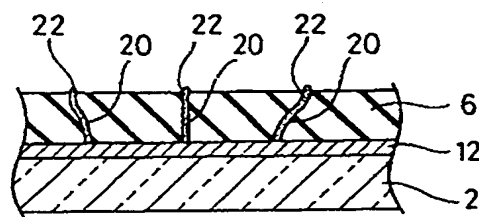
20……空隙、22……金属

22a……金属酸化物

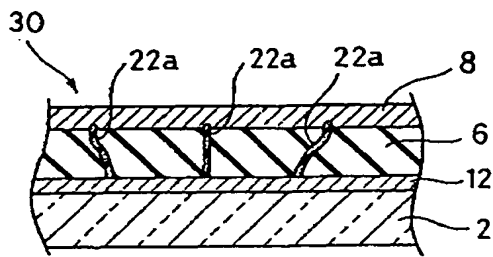
【第1図】



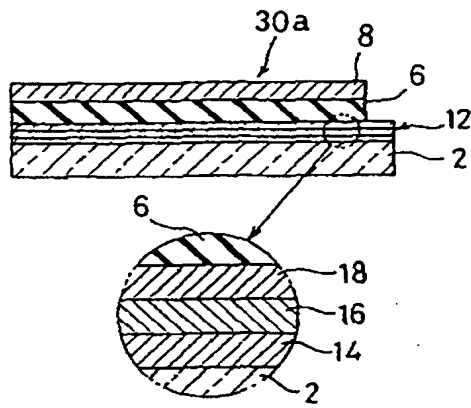
【第2図】



【第3図】

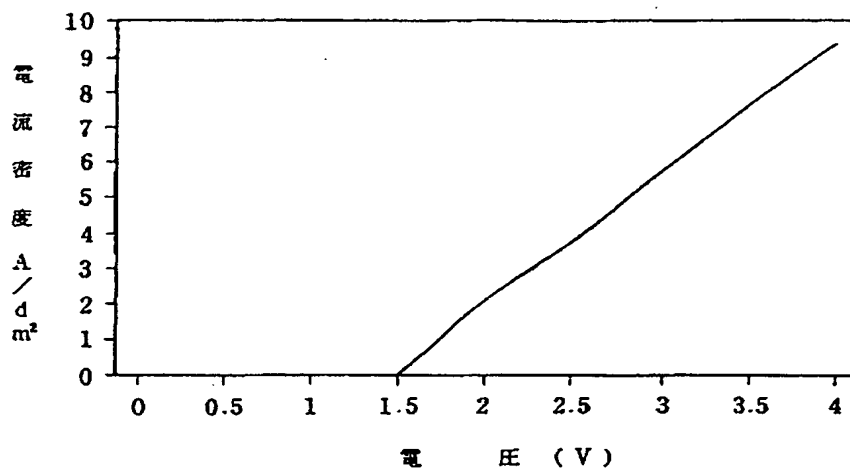


【第4図】



【第5図】

電圧 - 電流密度特性



【第6図】

